

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

DIALOG(R)File 352:Derwent WPI

(c) 2004 Thomson Derwent. All rts. reserv.

009265643 \*\*Image available\*\*

WPI Acc No: 1992-393055/199248

XRPX Acc No: N92-299930

Active matrix substrate contg. thin film transistors as switching elements - dopes group 3 impurity to either channel layer of P-type or N-type thin film transistors while making their threshold voltages comparable  
NoAbstract

Patent Assignee: SHARP KK (SHAF )

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applcat No	Kind	Date	Week
JP 4290467	A	19921015	JP 9155027	A	19910319	199248 B

Priority Applications (No Type Date): JP 9155027 A 19910319

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
JP 4290467	A	5	H01L-027/092	

Title Terms: ACTIVE; MATRIX; SUBSTRATE; CONTAIN; THIN; FILM; TRANSISTOR; SWITCH; ELEMENT; DOPE; GROUP; IMPURE; CHANNEL; LAYER; P; TYPE; N; TYPE; THIN; FILM; TRANSISTOR; THRESHOLD; VOLTAGE; COMPARE; NOABSTRACT

Index Terms/Additional Words: TFT

Derwent Class: P81; U14

International Patent Class (Main): H01L-027/092

International Patent Class (Additional): G02F-001/136; H01L-027/12

File Segment: EPI; EngPI

DIALOG(R)File 347:JAPIO

(c) 2004 JPO & JAPIO. All rts. reserv.

03925367 \*\*Image available\*\*

**ACTIVE MATRIX SUBSTRATE**

PUB. NO.: 04-290467 [JP 4290467 A]

PUBLISHED: October 15, 1992 (19921015)

INVENTOR(s): MATSUSHIMA YASUHIRO

SHIMADA NAOYUKI

TAKATO YUTAKA

APPLICANT(s): SHARP CORP [000504] (A Japanese Company or Corporation), JP  
(Japan)

APPL. NO.: 03-055027 [JP 9155027]

FILED: March 19, 1991 (19910319)

INTL CLASS: [5] H01L-027/092; G02F-001/136; H01L-027/12; H01L-029/784

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components); 29.2 (PRECISION  
INSTRUMENTS -- Optical Equipment)

JAPIO KEYWORD: R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors,  
MOS)

JOURNAL: Section: E, Section No. 1327, Vol. 17, No. 101, Pg. 132,  
March 02, 1993 (19930302)

**ABSTRACT**

PURPOSE: To provide an active matrix substrate having CMOS inverter which is composed of an N-type TFT and a P-type TFT almost equal to the absolute value of threshold voltage.

CONSTITUTION: A CMOS inverter is formed by an N-type TFT 35a and a P-type TFT 35b and the threshold voltage of a channel layer 12a of the N-type TFT 35a can be set almost equal to that of a channel layer 12b of the P-type TFT 35b by implanting group III impurity such as B<sup>(sup +)</sup>, BF<sup>(sub 2)</sup>, etc., into the channel layer 12a of the N-type TFT 35a.

3/19/3

(19)日本国特許庁 (JP)

## (12) 公開特許公報 (A)

(11)特許出願公開番号

特開平4-290467

(43)公開日 平成4年(1992)10月15日

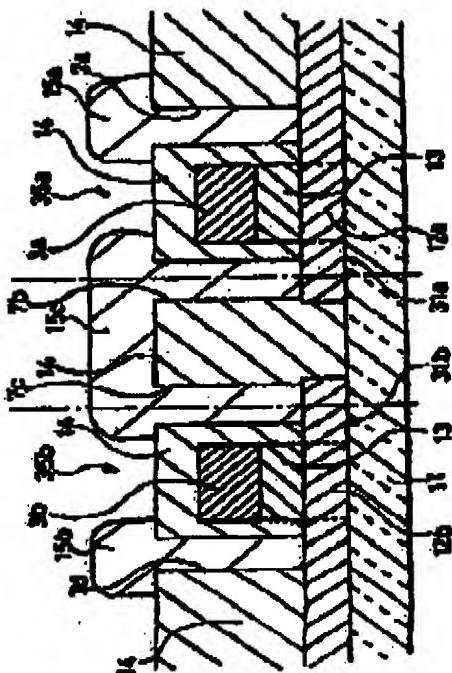
(51) Int.Cl. <sup>*</sup>	種別記号	序内整理番号	P 1	技術表示箇所
H 01 L 27/082				
G 02 F 1/136	5 0 0	9018-2K		
H 01 L 27/12	A	8728-4M 7342-4M 9056-4M	H 01 L 27/08 29/78	3 2 1 M 3 1 1 C
審査請求 未請求 請求項の該1(全5頁) 最終頁に続く				
(21)出願番号	特願平3-55027			
(22)出願日	平成3年(1991)3月19日			
		(71)出願人 シャープ株式会社 大阪府大阪市阿倍野区長池町22番22号		
		(72)発明者 松島 康治 大阪市阿倍野区長池町22番22号 シャープ 株式会社内		
		(72)発明者 島田 尚幸 大阪市阿倍野区長池町22番22号 シャープ 株式会社内		
		(72)発明者 ▲高木謙 晃 大阪市阿倍野区長池町22番22号 シャープ 株式会社内		
		(74)代理人 弁理士 山本 秀策		

## (54)【発明の名称】 アクティブマトリクス基板

## (57)【要約】

【目的】 固定電圧の絶対値がほぼ等しいn型TFT及びp型TFTによって構成されるCMOSインバータを有するアクティブマトリクス基板を提供することである。

【構成】 CMOSインバータはn型TFT35a及びp型TFT35bによって構成され、n型TFT35aのチャネル層12aにB<sup>+</sup>、BF<sup>+</sup>等のIII族の不純物を注入することにより、n型TFT35aのチャネル層12aの閾値電圧をp型TFT35bのチャネル層12bのそれにほぼ等しくする。



## 【特許請求の範囲】

【請求項 1】絶縁性基板と、該絶縁性基板上に形成された表示部と、該絶縁性基板上に形成され、n型薄膜トランジスタとp型薄膜トランジスタを有するCMOSインバータを含む駆動回路と、を備えたアクティブマトリクス基板であって、該n型薄膜トランジスタのチャネル層及び該p型薄膜トランジスタのチャネル層の少なくとも一方にIII族不純物がドーピングされ、該n型薄膜トランジスタ及び該p型薄膜トランジスタの閾値電圧の絶対値がほぼ等しいアクティブマトリクス基板。

## 【発明の詳細な説明】

## 【0001】

【背景上の利用分野】本発明は、薄膜トランジスタ（以下、「TFT」という）をスイッチング素子として有し、液晶等の表示媒体と組み合わせて表示装置を構成するためのアクティブマトリクス基板に関する。

## 【0002】

【従来の技術】従来より、アクティブマトリクス表示装置には、同一基板上に表示部と駆動回路とを形成したアクティブマトリクス基板がしばしば用いられている。アクティブマトリクス基板においては、n型TFTとp型TFTとによりCMOSインバータが構成され、このインバータを表示装置の走査回路（シフトレジスタ）として用いる試みがなされている。このような走査回路には、表示画面の大型化、高解像度化が要求され、高速動作が可能な走査回路の研究が進められている。

## 【0003】

【発明が解決しようとする課題】上述のようなCMOSインバータには、多結晶シリコンを用いたTFTがしばしば用いられる。上述のように、CMOSインバータはn型TFTとp型TFTによって構成されているため、これらのTFTの閾値電圧の絶対値が異なっている。通常、多結晶シリコンを用いたTFTでは、n型TFTの閾値電圧が極めて小さく、p型TFTのチャネル層の閾値電圧は大きい。閾値電圧の絶対値が等しく異なると、重要な特性を有するインバータは得られない。例えば、n型TFTの閾値電圧が低い場合には、インバータの入力端子に1.0V電圧を印加するとp型TFTは完全にOFF（状態とはならず、p型TFTに比べて十分に大きな抵抗値を持つことができない。従って、このインバータの出力端子には、このインバータに接続されているV<sub>DD</sub>とV<sub>SS</sub>の間の電圧を、n型TFTのチャネル層とp型TFTのチャネル層の抵抗比で分割した電圧が出力されてしまう。

【0004】本発明はこのような問題点を解決するものであり、本発明の目的は、閾値電圧の絶対値がほぼ等しいn型TFT及びp型TFTによって構成されるCMOSインバータを有するアクティブマトリクス基板を提供することである。

## 【0005】

【課題を解決するための手段】本発明のアクティブマトリクス基板は、絶縁性基板と、該絶縁性基板上に形成された表示部と、該絶縁性基板上に形成され、n型薄膜トランジスタとp型薄膜トランジスタを有するCMOSインバータを含む駆動回路と、を備えたアクティブマトリクス基板であって、該n型薄膜トランジスタのチャネル層及び該p型薄膜トランジスタのチャネル層の少なくとも一方にIII族不純物がドーピングされ、該n型薄膜トランジスタ及び該p型薄膜トランジスタの閾値電圧の絶対値がほぼ等しく、そのことによって上記目的が達成される。

【0006】また、前記n型及びp型薄膜トランジスタのチャネル層が、多結晶シリコンを有する構成とすることもできる。

## 【0007】

【作用】前述の多結晶シリコンを用いたTFTでは、通常、n型のチャネル層の閾値電圧が極めて小さく、p型のチャネル層の閾値電圧は大きい。また、p型TFTのチャネル層の閾値電圧を低減することは困難であることを、本発明者は実験により確認している。n型TFTのチャネル層にIII族の不純物、例えばB<sup>+</sup>、BF<sub>3</sub>等を注入することにより、n型TFTのチャネル層の閾値電圧をp型TFTのそれにはほぼ等しくすることができる。これにより、バランスの良いCMOSインバータが得られる。

## 【0008】

【実施例】本発明の実施例について以下に説明する。図3に本発明のアクティブマトリクス基板の一実施例を用いて構成したアクティブマトリクス表示装置の模式図を示す。この表示装置では、駆動回路とTFTアレイとが同一基板上に形成されている。基板11上に、ゲート駆動回路54、ソース駆動回路56、及びTFTアレイ部53が形成されている。TFTアレイ部53には、ゲート駆動回路54から延びる多数の平行するゲートバス配線1が配設されている。ソース駆動回路56からは多数のソースバス配線2が、ゲートバス配線1に直交して配設されている。更に、ソースバス配線2に平行して、付加容量配線3が配設されている。尚、付加容量配線3は必ずしも設ける必要はない。

【0009】ソースバス配線2と、ゲートバス配線1、1と、付加容量配線3とに囲まれた領域には、TFT25、検索57、及び付加容量37が設けられている。TFT25のゲート電極はゲートバス配線1に接続され、ソース電極はソースバス配線2に接続されている。TFT25のドレイン電極に接続された検索電極と対向基板上の対向電極との間に液晶が封入され、検索57が構成されている。検索57は電気的には容量と等価であり、検索57に書き込まれた信号を保持する作用を有する。また、TFT25のドレイン電極と付加容量配線3との間に、検索57に書き込まれた映像信号を保持するた

(3)

特開平4-290467

3

めの付加容量 27 が形成されている。付加容量記録 8 は、対向電極と同じ電位の電極に接続されている。

【0010】図 1 に、本実施例のアクティブラトリクス基板の駆動回路、即ち、ソース駆動回路及びゲート駆動回路に設けられる CMOS インバータの平面図を示す。図 2 に図 1 の A-A 棚に沿った断面図を示す。本実施例を製造工程に従って説明する。ガラス、石英等の絶縁性基板 11 上の全面に、多結晶シリコン薄膜を CVD 法によって形成した。次に、CVD 法、スパッタリング法、又はこの多結晶シリコン薄膜の上面の熱酸化により、S 10: からなるゲート絶縁膜 13 を形成した。ゲート絶縁膜 13 の厚さは 100 nm である。

【0011】次に、上記多結晶シリコン薄膜及びゲート絶縁膜 13 のパターニングを行い、半導体層 31 a、31 b を形成した。上述のゲート絶縁膜 13 の形成を半導体層 31 a、31 b のパターン形成の後に行ってもよい。また、ゲート絶縁膜 13 の形成前に、多結晶シリコン薄膜の結晶性を高めるため、レーザアニール、窒素雰囲気中でのアニール等の処理を行うことも可能である。次に、ゲート絶縁膜 13 上から n 型 TFT の半導体層 31 a に約 35 KeV で B<sup>-</sup> を  $1 \times 10^{11} \sim 5 \times 10^{12} \text{ cm}^{-2}$  の濃度で注入することにより、n 型 TFT のチャネル部にイオン注入を行った。尚、ゲート絶縁膜 13 の形成前にイオン注入を行う場合には、約 20 KeV で B<sup>-</sup> を  $5 \times 10^{11} \sim 5 \times 10^{12} \text{ cm}^{-2}$  の濃度で注入することにより、上記と同様に n 型 TFT のチャネル部注入を行うことができる。これらのイオン注入は、半導体層 31 a のチャネル部以外の部分にも行われるが、その部分には後に  $2 \times 10^{12} \text{ cm}^{-2}$  というチャネル部への注入量よりも数倍高い濃度で p<sup>+</sup> イオンの注入が行われるので問題とはならない。

【0012】次に、後にゲートバス配線 1 (図 3)、ゲート電極 3 a 及び 3 b となる多結晶シリコン層を CVD 法を用いて形成し、これにドーピングを行った。これにより、低抵抗の多結晶シリコン層が得られる。その後、低抵抗多結晶シリコン層のパターニングによって、ゲートバス配線 1、2 つのゲート電極 3 a 及び 3 b を形成した。

【0013】次に、ゲート電極 3 a 及び 3 b をマスクとし、且つ、フォトリソグラフィ法によって形成されたレジストをマスクとして、ゲート電極 3 a 及び 3 b の下方以外の半導体層 31 a、31 b の部分にイオン注入を行った。イオン注入は、n 型 TFT 31 a の場合には P<sup>+</sup> イオンを 120 KeV で  $2 \times 10^{12} \text{ cm}^{-2}$  の濃度で行われ、p 型 TFT 31 b の場合には、B<sup>-</sup> イオンを 35 KeV で  $2 \times 10^{12} \text{ cm}^{-2}$  の濃度で行われる。これにより、n 型チャネル層 12 a 及び p 型チャネル層 12 b が得られ、n 型 TFT 31 a 及び p 型 TFT 31 b が発成する。

【0014】この基板上の全面に、CVD 法によって 7

00 nm の厚さで層間絶縁膜 14 を形成した。次に、図 1 に示すように、コンタクトホール 7 a、7 b、7 c 及び 7 d を形成した。次に、配線パターン 15 a、15 b、15 c を A 1 等の低抵抗の金属を用いて形成した。配線パターン 15 a にはインバータの V<sub>ss</sub> (低電圧側電源) が入力され、配線パターン 15 b には V<sub>dd</sub> (高電圧側電源) が入力される。また、配線パターン 15 c にはインバータの出力電圧が出力される。

【0015】図 4 (a) に本実施例に於ける n 型 TFT 31 a の特性図を示す。比較のために、従来の n 型 TFT、即ち、チャネル層に不純物ドープを施していない TFT の特性を併せて示した。また、図 4 (b) に本実施例に於ける p 型 TFT 31 b の特性図を示す。図 4 (a) 及び (b) において、横軸は TFT のソース電極とゲート電極との間に印加される電圧 V<sub>ds</sub> を、縦軸はソース電極とドレイン電極との間に流れる電流 I<sub>ds</sub> をそれぞれ示し、ソース電極とドレイン電極の間に印加される電圧 V<sub>gs</sub> = 10 V で一定の場合を示している。図 4 (a) と図 4 (b) の比較から、本実施例の n 型 TFT の開値電圧の絶対値は、従来の n 型 TFT よりも、p 型 TFT の開値電圧の絶対値に近くなっていることが分かる。

【0016】図 5 (a) に本実施例のアクティブラトリクス基板に於ける CMOS インバータの特性図を示す。比較のために、上述の従来の n 型 TFT を用いた CMOS インバータの特性図を図 5 (b) に示す。図 5 (a) 及び (b) の特性図は、V<sub>dd</sub> = 20 V、V<sub>ss</sub> = 0 V の場合の測定結果であり、横軸はインバータの入力電圧 V<sub>in</sub>、縦軸は出力電圧 V<sub>out</sub> を示す。図 5 (a) 及び (b) の比較から、本実施例に於ける CMOS インバータは、従来の n 型 TFT を用いたインバータより良好な特性を有していることが分かる。図 5 (a) に示すように、V<sub>in</sub> = 10 V のときに V<sub>out</sub> = 10 V が得られ、美しいインバータ特性が得られている。

【0017】従来の CMOS インバータでは、n 型 TFT の開値電圧の絶対値が p 型 TFT のそれとは著しく異なるので、V<sub>dd</sub> に 10 V 電圧を入力したときに n 型 TFT は完全にオフ状態とはならず、p 型 TFT に比べて十分に大きな抵抗値を持たない。従って、良好な特性が得られない。これに対し、本実施例のアクティブラトリクス基板に設けられている CMOS インバータでは、V<sub>dd</sub> に 10 V 電圧を入力したときに n 型 TFT はオフ状態となり、p 型 TFT に比べて十分に大きな抵抗値を持つことができる。従って、良好な特性が得られる。

【0018】

【発明の効果】本発明のアクティブラトリクス基板は、開値電圧の絶対値がほぼ等しい n 型 TFT 及び p 型 TFT からなる CMOS インバータを有しているので、高性能のシフトレジスタを構成することができる。従って、本発明のアクティブラトリクス基板を用いれば、高解像

特開平モー290467

(4)

5

度のアクティブマトリクス表示装置が実現される。

## 【図面の簡単な説明】

【図1】本発明のアクティブマトリクス基板の構造回路に形成されるCMOSインバータの平面図である。

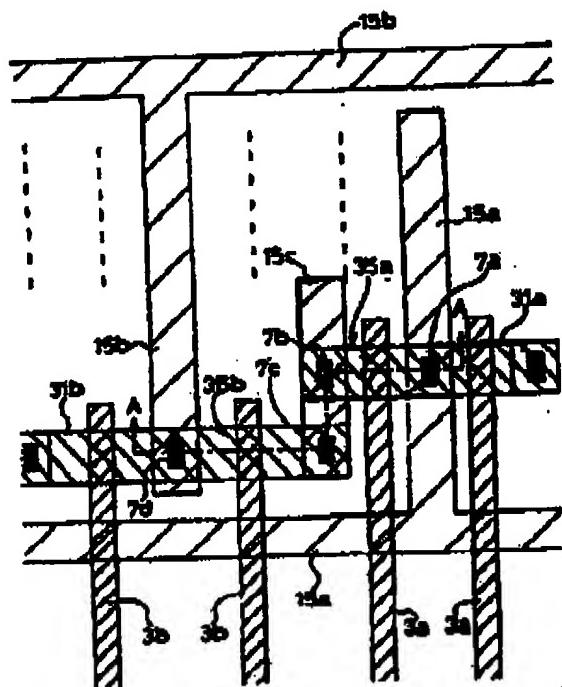
【図2】図1のA-A線に沿った断面図である。

【図3】本発明のアクティブマトリクス基板を用いて構成したアクティブマトリクス表示装置の構成図である。

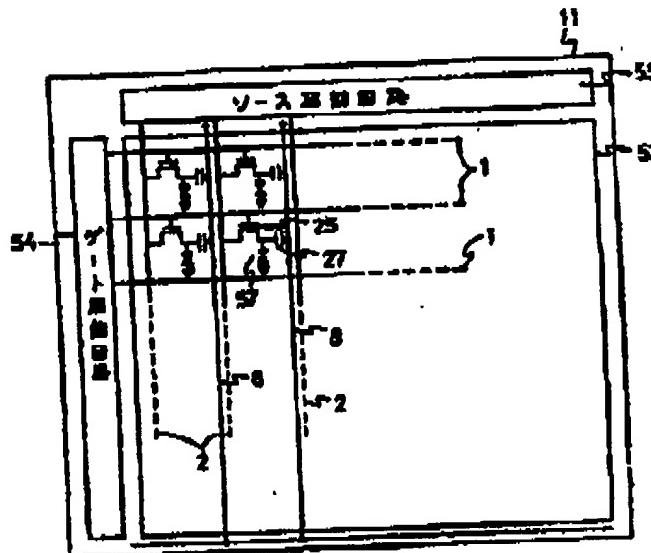
【図4】(a)は本発明のアクティブマトリクス基板に形成されるn型TFT及び従来のn型TFTの特性図であり、(b)は本発明のアクティブマトリクス基板に形成されるp型TFTの特性図である。

【図5】(a)は本発明のアクティブマトリクス基板に形成されるCMOSインバータの特性図であり、(b)

[図1]



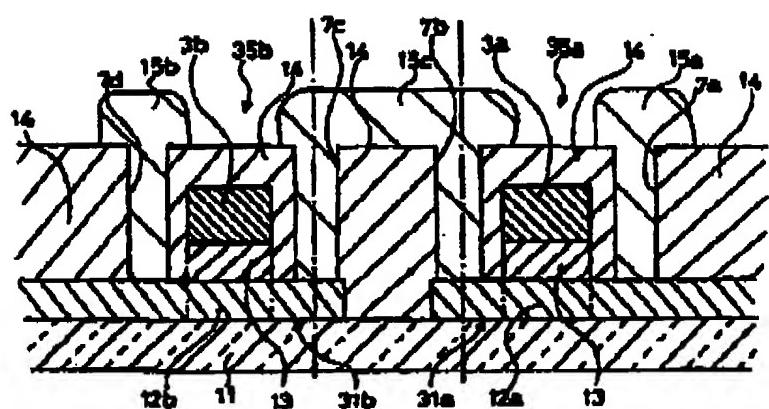
[図3]



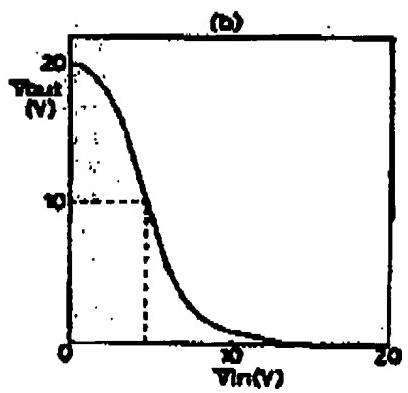
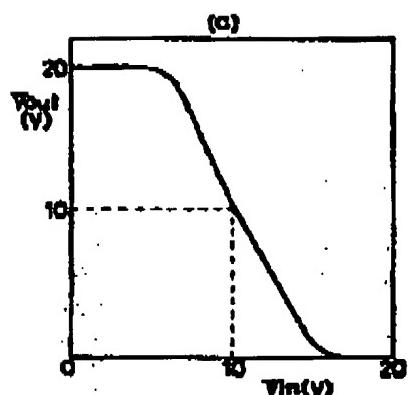
(6)

特許平4-290467

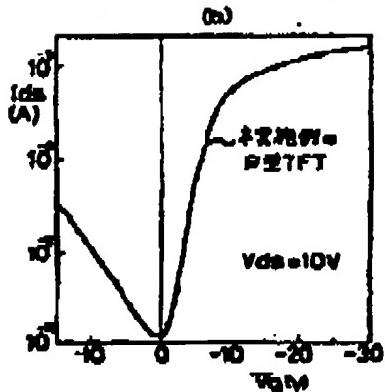
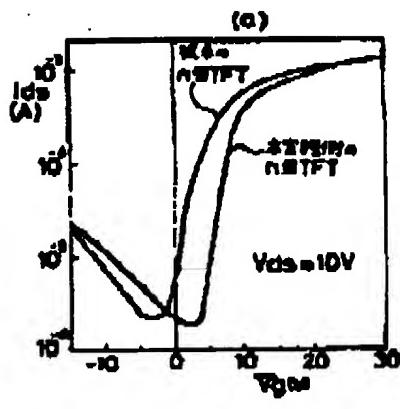
【図2】



【図5】



【図4】



フロントページの続き

(SL) Int.CI.  
H01L 29/784

識別記号

序内整理番号

F 1

技術表示箇所